

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260188
 (43)Date of publication of application : 22.09.2000

(51)Int.CI.

G11C 16/02

(21)Application number : 11-064527

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.03.1999

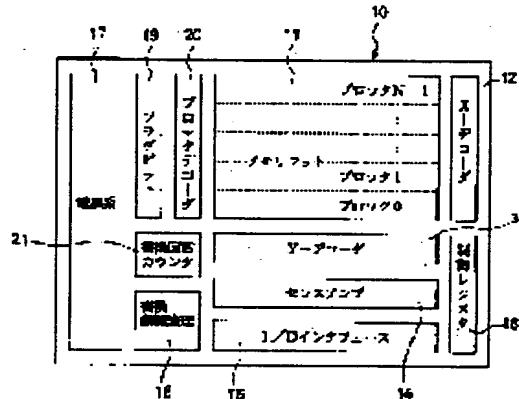
(72)Inventor : ONDA MICHIO

(54) CONTROL METHOD FOR SEMICONDUCTOR MEMORY AND SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor memory which is inexpensive and of which the number of rewritable times is large.

SOLUTION: A semiconductor memory 10 is provided with a flag bit 19 dividing a memory mat 11 of whole capacity R consisting of non-volatile semiconductor memory cells into plural blocks of size M and discriminating whether each block is rewritten or not, a block decoder 20 selecting a block being not yet rewritten as a block to be rewritten in accordance with a setting state of the flag bit 19, and a rewriting control logic circuit 18 erasing all blocks, that is, the whole memory mat 11 prior to initial rewriting after all blocks are rewritten, when it is assumed that the number of rewritable times is P and the number of division of the memory mat 11 is N, the large number of rewritable times of degree of $P \times N$ is realized by an inexpensive memory mat 11 of the number of rewritable times of degree of P.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-260188

(P2000-260188A)

(43)公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.⁷
G 11 C 16/02

識別記号

F I
G 11 C 17/00

デマコード^{*} (参考)
6 1 1 Z 5 B 0 2 5

審査請求 未請求 請求項の数10 O.L. (全 11 頁)

(21)出願番号 特願平11-64527

(22)出願日 平成11年3月11日 (1999.3.11)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 岸田 道雄

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(74)代理人 100080001

弁理士 筒井 大和

F ターム(参考) 5B025 AA00 AB00 AC00 AD00 AD01

AD04 AD08 AE01 AE08

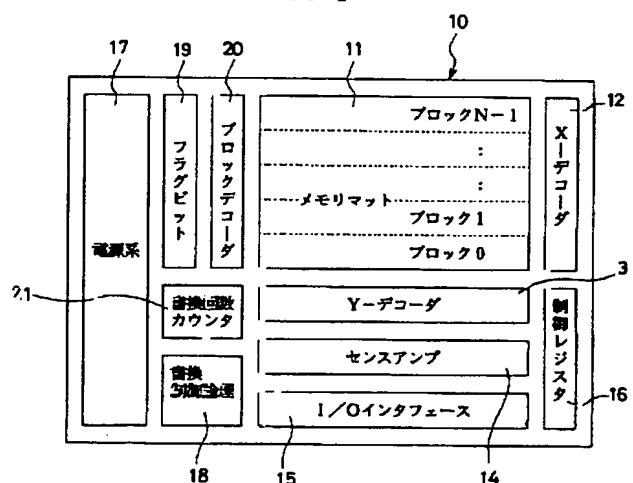
(54)【発明の名称】 半導体記憶装置の制御方法および半導体記憶装置

(57)【要約】

【課題】 低コストで書換可能回数の大きな不揮発性の半導体記憶装置を実現する。

【解決手段】 不揮発性半導体メモリセルからなる全容量Rのメモリマット11をサイズMの複数のブロックに分割するとともに、各ブロックの書換実行の有無を判別するフラグビット19、およびフラグビット19の設定状態に応じて、未書換のブロックを書換対象のブロックとして選択するブロックデコーダ20、すべてのブロックが書換られた後の最初の書換に先立って、全てのブロック、すなわちメモリマット11の全体を消去する書換制御論理18を備え、メモリマット11の書換可能回数をPとし、メモリマット11の分割数をNとする時、書換可能回数がP程度の安価なメモリマット11にて、P×N回程度の大きな書換可能回数を実現する半導体記憶装置10である。

図 1



【特許請求の範囲】

【請求項1】 不揮発性の半導体記憶媒体の記憶領域を複数のブロックに論理的または物理的に分割し、個々の前記ブロックに割り当てるアドレス空間は一部または完全に重複させ、データ書換は、消去済の前記ブロックを選択して実行し、全ての前記ブロックに対して前記データ書換が完了した後の最初の前記データ書換に先立って、複数の前記ブロックの消去を行うことを特徴とする半導体記憶装置の制御方法。

【請求項2】 請求項1記載の半導体記憶装置の制御方法において、個々の前記ブロックに対するデータ書換の実行の有無を識別するフラグビットを設けるとともに、前記フラグビットを前記半導体記憶媒体と同一構造のメモリセルで構成することを特徴とする半導体記憶装置の制御方法。

【請求項3】 請求項1記載の半導体記憶装置の制御方法において、前記半導体記憶媒体における前記消去の実行回数を計数するカウンタを設けるとともに、前記カウンタを前記半導体記憶媒体と同一構造のメモリセルで構成することを特徴とする半導体記憶装置の制御方法。

【請求項4】 請求項1、2または3記載の半導体記憶装置の制御方法において、前記半導体記憶媒体は、一括消去型EEPROM(フラッシュメモリ)またはEPROMであることを特徴とする半導体記憶装置の制御方法。

【請求項5】 請求項1記載の半導体記憶装置の制御方法において、前記消去時に前記半導体記憶媒体に一样に設定される特定のビットデータを、個々の前記ブロックに対するデータ書換の実行の有無を識別するための情報として用いることを特徴とする半導体記憶装置の制御方法。

【請求項6】 請求項1記載の半導体記憶装置の制御方法において、

複数の前記ブロックの一部を、前記データ書換および前記消去動作の対象から外し、前記半導体記憶媒体の本来の仕様で使用する操作、

複数の前記ブロックを、互いに異なるアドレス空間に割り当てる複数組用意する操作、

前記データ書換の実行に際して、複数の前記ブロックを選択する操作、

前記データ書換は個々の前記ブロックを単位として実行し、データ読出時は、複数の前記ブロックのいずれかを前記アドレス空間に割り当てる操作、

の少なくとも一つの操作を行うことを特徴とする半導体記憶装置の制御方法。

【請求項7】 記憶領域が、複数のブロックに論理的または物理的に分割され、個々の前記ブロックに割り当てるアドレス空間は一部または完全に重複する不揮発性の半導体記憶媒体と、

消去済の前記ブロックを選択してデータ書換を実行し、

全ての前記ブロックに対して前記データ書換が完了した後の最初の前記データ書換に先立って、複数の前記ブロックの消去動作を行う制御論理と、

を備えたことを特徴とする半導体記憶装置。

【請求項8】 請求項7記載の半導体記憶装置において、

個々の前記ブロックに対するデータ書換の実行の有無を識別するフラグビット、および前記半導体記憶媒体における前記消去の実行回数を計数するカウンタの少なくとも一方を備え、

前記制御論理は、前記フラグビットの参照および更新による消去済の前記ブロックの選択動作、および前記カウンタの参照および更新による前記半導体記憶媒体の消去回数に基づく書換寿命管理動作、の少なくとも一方を行うことを特徴とする半導体記憶装置。

【請求項9】 請求項7記載の半導体記憶装置において、

前記制御論理は、前記消去時に前記半導体記憶媒体に一样に設定される特定のビットデータを、個々の前記ブロックに対するデータ書換の実行の有無を識別するための情報として用いることを特徴とする半導体記憶装置。

【請求項10】 請求項8記載の半導体記憶装置において、

前記フラグビットおよび前記カウンタは前記半導体記憶媒体と同一構造のメモリセルで構成されることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置およびその制御技術に関し、特に、書換回数に制約のある不揮発性の半導体記憶媒体を備えた半導体記憶装置、さらにはそれらを組み込んだ情報処理システム等に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、半導体記憶装置(メモリ)はDRAM、SRAMに代表される揮発性メモリ(以下カテゴリー1と称する)と、EEPROM(電気的書き込み、紫外線消去可能な不揮発性メモリ)、フラッシュメモリに代表される書換可能回数が比較的小ない(数100回乃至数万回)不揮発性メモリ(以下カテゴリー2と称する)、並びに多くの書換可能回数(数100万回以上)を有するEEPROM(電気的書き込み、消去可能な不揮発性メモリ。以下カテゴリー3と称する)に大別される。

【0003】

【発明が解決しようとする課題】 記憶容量はあまり必要ないが、多くの書換可能回数が要求されるアプリケーションにおいてはカテゴリー3のデバイスが使用されるが、チップ面積に占めるメモリの比率がかなり低いにも関わらず、製造プロセスが複雑、且つメモリセル1素子あたり2トランジスタ(カテゴリー2の場合は1トラン

ジスタ)を必要とするため、コスト高なEEPROMプロセスを使用せざるを得ず、チップの価格、ひいてはシステム全体の価格を押し上げる要因になっている。

【0004】本発明の目的は、既存の書換可能回数の小さな不揮発性の半導体記憶装置をそのまま用いて、困難を要する大幅な特性・プロセス改善を必要とすることなく、より多くの書換可能回数を実現することが可能な半導体記憶装置およびその制御技術を提供することにある。

【0005】本発明の他の目的は、書換可能回数の小さな不揮発性の半導体記憶媒体を用いて、低成本で、より大きな書換可能回数を実現することが可能な半導体記憶装置およびその制御技術を提供することにある。

【0006】本発明の他の目的は、記憶情報の履歴管理を容易に実現することが可能な半導体記憶装置およびその制御技術を提供することにある。

【0007】本発明の他の目的は、既存の書換可能回数の小さな不揮発性の半導体記憶装置を、要求される書換可能回数がより高い用途に転用して可用性を向上させることが可能な半導体記憶装置およびその制御技術を提供することにある。

【0008】本発明の他の目的は、小記憶容量で書換可能回数の大きな半導体記憶装置を、安価に実現することが可能な半導体記憶装置およびその制御技術を提供することにある。

【0009】本発明の他の目的は、書換可能回数の小さな不揮発性の半導体記憶装置を用いて、高い信頼性を維持しつつ書換可能回数の大きな半導体記憶装置を実現することが可能な半導体記憶装置およびその制御技術を提供することにある。

【0010】本発明の他の目的は、不揮発性の半導体記憶装置が組み込まれる情報処理システムのコスト低減、さらには、信頼性および性能の向上を実現することが可能な半導体記憶装置およびその制御技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】本発明は、不揮発性の半導体記憶媒体の記憶領域を複数のブロックに論理的または物理的に分割し、個々のブロックに割り当てられるアドレス空間は一部または完全に重複させ、データ書換は、消去済のブロックを選択して実行し、全てのブロックに対してデータ書換が完了した後の最初のデータ書換に先立って、複数のブロックの消去動作を行うようにしたものである。

【0014】より具体的には、本発明はNヶのブロック

に分割された不揮発性の半導体記憶媒体等からなるメモリマットと、ブロック単位に書き込みの来歴を示すフラグビットからなる。分割数Nは固定でもよいし、プログラムとしててもよい。

【0015】上記の3つのカテゴリーのメモリはいずれの場合でも記憶容量と割り当てられるアドレスの大きさは同一である。即ち、1KByteの記憶素子容量を持つものは、不良素子救済やテストなどの目的で追加搭載される素子はあるものの、基本的には使用時に1KByteのアドレス空間が割り当てられる。フラッシュメモリにおいては、主にその消去単位としてメモリマットをいくつかのブロックに分割する場合も多いが、記憶容量と割り当てられるアドレスの関係は同上である。

【0016】本発明では割り当てられるアドレスは、総メモリ容量をRバイトとすると $R/N=M$ バイトとなる。データを書き換える際には、Mバイト単位で行う。当該ブロックのフラグビットにも同時に書き込む。書換を行う際、従来はメモリを一旦消去してから再書き込みをしていたのに対し、本発明では次のブロックを選択しそこに書き込む。次のブロックを選択するのにフラグビットを使用する。即ち、直前に書き込んだブロックは消去、或いはオーバーライトしない。全ブロックに対して書き込みを行った後に更に書き込む場合にのみ消去する。

【0017】この構成により、見かけ上のメモリ容量は $R \rightarrow M$ バイトと減少するが、書換可能回数は、単独のメモリセルの書換可能回数がP回であったものが $P \times N$ 回に増加する。最大P回の単独メモリセルの書換回数を管理するために同じメモリセルを使ったカウンタを設けることも可能である。その場合でも、フラグビットを使用する。フラグビットが無い場合、 $P \times N$ 回の書換がカウンタの更新で発生してしまうからである。

【0018】このように、本発明では従来技術によるデバイスをそのまま使って、即ち困難を要する大幅な特性・プロセス改善をすることなく、多くの書換可能回数を実現出来る。また、本発明の半導体記憶装置を組み込んだ情報処理システムのコストの低減、信頼性およびパフォーマンスの向上を実現できる。

【0019】すなわち、上述のように、少容量だが多くの書換回数を必要とするアプリケーションに対しては、従来高価なEEPROMを選択せざるを得なかつたが、本発明ではフラッシュメモリ(一括消去型EEPROM)、或いはEPROMを使用できるため、システムコストを低減出来る。なお、本発明に相当する機能はオペレーティング・システムなどのソフトウェアでも実現できなくはないが、その場合デバイスの書換回数(実績)を何らかの形で記録しておく必要がある。仮にDRAMなどの揮発性メモリに記録した場合、電源切断時に別の記憶装置に保存し直す必要があり、停電時などには値が失われるため正しい書換回数来歴を維持できず、システムの信頼性を損なう可能性もある。或いは、ハードデ

ィスクに代表される磁気記録装置に記録した場合、アクセス時間が長いためシステムのパフォーマンスの悪化を招く。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0021】図1は、本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の構成の一例を示す概念図であり、図2、図3、図4、図5、図6、図7、図8、図9は、その作用の一例を示す概念図である。

【0022】本実施の形態の半導体記憶装置10は、たとえば一括消去型のEEPROMであるいわゆるフラッシュメモリ等の不揮発性半導体メモリ媒体で構成されるメモリマット11、メモリマット11を構成し、二次元的に配列された複数のメモリセルの位置（ビットアドレス）を特定して、データの書き込み、読み出、消去等を行うためのXデコーダ12およびYデコーダ13、データ読み出においてメモリセルから読み出されたビットデータとしての電荷を増幅して外部に出力するためのセンスアンプ14、外部接続端子に接続され、外部との間における書き込み／読み出アドレス、書き込み／読み出データ、制御コマンド、等の入出力をを行うためのI／Oインターフェース15、書き込み／読み出／一括消去等の動作モードを外部から指定するための制御レジスタ16、たとえばメモリマット11の電気的な一括消去時の消去電圧を生成する昇圧回路等を備え、半導体記憶装置10の各部を動作させる電力を供給する電源系17等を備えている。

【0023】本実施の形態の半導体記憶装置10は、メモリマット11の書換回数等を管理する書換制御論理18、後述のようにメモリマット11の記憶領域を複数に分割して設定される複数のブロックの各々に対するデータ書き込みの有無を識別するためのフラグビット19、このフラグビット19の状態に応じて、データ書き込み／読み出の対象となる一つまたは複数のブロックを選択するブロックデコーダ20、等を備えている。

【0024】なお、本実施の形態の場合、フラグビット19は、たとえばメモリマット11を構成するメモリセルと同様の構成のメモリセルで構成され、メモリマット11の消去時に同時に消去される。なお、本実施の形態のメモリマット11、フラグビット19では、この消去時には、メモリセルの全ビットが“1”に設定される仕様となっている。

【0025】本実施の形態の場合、図2に例示されるように、上述のようにトータル容量Rのメモリマット11をサイズMのN個のブロックに分割（ $R=M \times N$ ）する。そして、図3に示されるように、分割した、各ブロックには同一アドレスを割り当てる。

【0026】一般にメモリ空間内には、ROM、RAM、I/Oなどが存在するが、本実施の形態による半導

体記憶装置10を使用した場合、割り当てられるメモリサイズはMである。全てのブロックには同一アドレスが割り当てられるが、実際に選択されるのは、後述のブロックデコーダ20に組み込まれた選択論理等のメカニズムにより選択されるアクティブブロックである。

【0027】図4に例示されるように、フラグビット19は、メモリマット11の記憶領域を分割して設定された複数のブロックの各々に対応して設定されている。

【0028】ブロックデコーダ20にて選択されたブロックを書き換える際に、フラグビット19の対応ビットにも併せて書き込み（本実施の形態の場合、対応ブロックのビットを“0”にする動作）を行う。このフラグビット19には2つの役割がある。上述の書き換え歴を記録すること、及びその来歴から次の選択ブロック（アクティブブロック）を決定することである。

【0029】図5に例示されるように、書き換えはブロック単位で行う。K回目の書き換えは、K%N（%はモジュロ演算）番目のブロック（0番目がブロック0）に対して行う。即ち、メモリマット11の分割（ブロック）数N=4、K=10とすると、 $10 \% 4 = 2$ 番目のブロック（ブロック2）がアクティブブロックとなる。

【0030】図6に、書き換え（ライト）時に、フラグビット19を使い、アクティブブロックを選択する方法として、ブロックデコーダ20の書き換え時選択論理20aの構成の一例を示す。一例として、書き換え時選択論理20aは、書き順序の最も若いブロックは、フラグビット19のビット値をそのまま当該ブロックの選択の有無の判定値（“1”：選択、“0”：非選択）とし、それ以降のブロックでは、隣り合うフラグビットを、その一方（書き順序の若い側）を論理反転して論理積をとる（N-1）個のANDゲート20a-1の出力値を、対応ブロックの選択の有無の判定値（“1”：選択、“0”：非選択）とする。

【0031】すなわち、本実施の形態の場合、メモリマット11の消去直後では、フラグビット19は全て“1”になっているので、最初の書き換え時には、ブロック0のフラグビット19の判定値のみが“1”となってブロック0が選択され、以降、書き換え毎に、選択されたブロックのフラグビット19のビット値は“0”に更新されるので以降は選択されるブロックの位置が一つずつ隣のブロックに移動する。

【0032】本実施の形態の場合、メモリマット11の消去は書き換えのたびに行なうのではなく、全ブロックに書き込みが行われた後で全ブロックに対して行なう。この動作は、たとえば、図7に例示されるように、書き換え制御論理18において、フラグビット19の全ビットの反転値の論理積をとるANDゲート18aを備えることで実現できる。あるいは、最後のブロックのフラグビットのみでも、最後から数ブロック分の複数のフラグビットで実現してもよい。

【0033】フラグビット19の状態から、全ブロックの書き込みが終わっており、メモリマット11の消去が必要なことを知らせる信号（マットフル信号18b）を生成する。書換時に制御ソフトウェアなどが、このマットフル信号18bを検知したら、先にメモリマット11の全体（全ブロック）の消去を行い、その後に書換を行う。

【0034】図8に例示されるように、全ブロック消去後は、フラグビット19は全ビットが“1”になるので、ブロックデコーダ20の書換時選択論理20aの判定にて、書換対象ブロックは先頭（0番目のブロック0）に戻る。

【0035】また、図1および図9に例示されるように、必要に応じて、メモリマット11やフラグビット19と同一構造のメモリセルにより構成され、マットフル信号18bにてカウントダウン（カウントアップ）されることによって消去回数を計数する書換回数カウンタ21を設けることで、単体の半導体記憶装置10の書換回数を管理できる。

【0036】なお、消去信号（マットフル信号18b）を別のレジスタ（たとえば制御レジスタ16の一部）に格納し、制御ソフトウェアがそれを読出して半導体記憶装置10の外部に設けられたカウンタを更新してもよい。

【0037】データの読出時には、フラグビット19から、最近に書換されたブロックを選択してアクセスする。図10は、ブロックデコーダ20における読出時制御論理20bの構成の一例を示している。本実施の形態の読出時制御論理20bは、ブロック順序の最も若い側から、フラグビット19の隣り合うビット値を、若い側を論理反転して論理積を探る（N-1）のANDゲート20b-1と、最後のブロックに対応するフラグビット19のビット値を論理反転して出力するインバータ20b-2、等で構成されている。これにより、フラグビット19の各ビットを対応ブロックの若い側から順序に見た時の最後の“0”的位置、すなわち、最近に書換られたブロックの位置が特定され、このブロックのデータを読み出すことができる。

【0038】上述のような本実施の形態の半導体記憶装置10の動作の一例を、図11のフローチャートに示す。

【0039】まず、全体が消去済の初期状態では、メモリマット11およびフラグビット19の全ビットは“1”に設定されている。

【0040】この状態でアクセス要求を待ち（ステップ101）、アクセスモードがライト要求か判別し（ステップ102）、ライト要求の場合には、さらにマットフル（全てのブロックが書換に使用済）か否かを判別する（ステップ103）。

【0041】マットフルでない場合には、図6のように

してブロックデコーダ20が書換対象となる新規のアクティブブロックを選択し（ステップ104）、選択されたアクティブブロックに書込データをライトする書換動作を行う（ステップ105）。

【0042】さらに、書換られたアクティブブロックに対応したフラグビット19のビット位置を“1”から“0”に更新する（ステップ106）。ステップ105とステップ106は同時に実行してもよい。

【0043】また、書換回数カウンタ21を設けて、メモリマット11の書換回数の上限、すなわち書換寿命を管理する場合には、メモリマット11の全体の書換回数が半導体記憶装置10の仕様で決められた上限値を超過したか否かを判別し（ステップ107）、超過している場合には、必要に応じて、外部に警告を出す（ステップ112）。

【0044】ステップ103で、マットフルと判定された場合には、メモリマット11の全体の消去動作（本実施の形態の場合、全ビットが“1”になる）を行い（ステップ108）、書換回数カウンタ21をカウントアップし（ステップ109）、その後、ステップ104以降のブロック選択／書換処理を実行する。

【0045】ステップ102で、ライト要求以外の場合、たとえばリード要求時には、図10に例示されるようなブロックデコーダ20の読出時制御論理20bの動作にて、最近に書換が行われた現在のアクティブブロックを選択し（ステップ110）、データを読出して外部に出力する（ステップ111）。

【0046】このように、本実施の形態の場合には、たとえば、容量Mで書換可能回数がP回のメモリマット11をN個のサイズ（R/N=）Mバイトのブロック0～ブロックN-1に分割し、各ブロックを共通のアドレスに割り当てる、書換時には未書換のブロックを選択して実行し、全てのブロックが書換られた時点でメモリマット11の全体（全ブロック）を一括して消去する動作を反復することにより、見かけ上のメモリ容量はRからMバイトに減少するが、書換可能回数は、単独のメモリセルの書換可能回数がP回であったものがP×N回に増加する。

【0047】たとえば、記憶容量R=32KBのメモリマット11をN=1024個の各M=32バイトのブロックに分割した場合、メモリマット11の仕様としては書換可能回数P=100回でも、実質的に、 $100 \times 1024 = 102400$ 回以上の書換可能回数を実現できることになる。

【0048】すなわち、書換可能回数は低いが製造プロセスが容易で安価なメモリセルからなるメモリマット11を用いて、書換可能回数は大きいが製造プロセスがより困難でより高価なメモリセルを用いることなく、安価に、書換回数の大きな不揮発性の半導体記憶装置10を実現することができる。

【0049】また、従来では書換時に先行して毎回消去動作のオーバーヘッドが発生するが、本実施の形態の場合には、消去動作のオーバーヘッドは、全ブロックが書換えられた状態で次のデータ書換を実行する際の前記ブロック一括消去の場合のみ発生し、それ以外は書換に伴う消去のためのオーバーヘッドは発生しないので、データ書換時の所要時間短縮による性能向上も実現できる。

【0050】本実施の形態の半導体記憶装置10を用いることにより、たとえば、記憶する必要のある総データ量は少ないと、書換が多く発生し、電源切断後もデータ保持が必要とされる機器を安価に実現することができる。たとえば、テレビジョン受像機においてチャンネルの設定状態を電源切断後も記憶させておいたり、低コストが要求されるICカード等において頻繁に書換が発生する小容量のデータを不揮発に保持する用途等に有効となる。

【0051】また、図1の例では、簡単のため、半導体記憶装置10を単体で示しているが、この半導体記憶装置10の構成を、いわゆるIP(機能ブロック)として、任意のマイコン、ロジック等のシステムLSI等の一部に組み込んで使用することも本発明に含まれる。

【0052】なお、上述の説明では、フラグビット19にて個々のブロックの書換の有無を判別する例を示したが、個々のブロックの記憶内容そのものを用いて判別することもでき。すなわち、上述したように、本実施の形態の半導体記憶装置10におけるメモリマット11は、消去時に全ビットが“1”になる。このことを利用して、図12に例示されるように、個々のブロックの記憶内容について、特定の値(たとえば本実施の形態では、“FF”(HEX))をピボットとして扱い、記憶内容の全バイトが“FF”(HEX)であるブロックが未書換ブロックである、と判定して、書換対象のアクティブブロックを選択するのに使うことができる。この場合には、フラグビット19が不要となり、半導体記憶装置10の構造をより簡略化でき、一層のコスト低減を実現できる。

【0053】この場合、ソフトウェア或いは半導体記憶装置10の内部のブロックデコーダ20等でピボットデータを検知するメカニズムを持たせねばよい。

【0054】また、メモリマット11における複数のブロックの設定や書換制御の変形例として、たとえば、図13に例示されるように、N個に分割した複数のブロックの内いくつか(J1、J3)は、上述のような書換制御の対象から外すことができる。この場合、外したところは従来仕様の低書換可能回数のROMとして使用することができる。すなわち、要求される書換可能回数が多様な用途に対して一つの半導体記憶装置10で対応できる、という利点がある。

【0055】また、図14に例示されるように、M×N個のブロック群を複数持ち、各ブロック群毎に別のアド

レス空間を持つ構成とすることもできる。この場合には、多くの書換回数を要し、別々に書換を行う必要のあるメモリ領域が複数ある用途に対して、一つの半導体記憶装置10で対応することができる。

【0056】また、上述の説明では、一例として、書換動作を一つのブロックを選択して実行する場合を例示したが、これに限らず、たとえば図15に例示されるように、各書換動作の各々毎に、一度に任意の数の複数のブロックを選択し、書き換えることを可能とする構成としてもよい。この場合には、書換のたび毎にデータサイズが異なるような特殊用途に対応することができる。

【0057】さらに、図16に例示されるように、書換時のアクティブブロックの選択時に、ブロックをオーバーラップして指定する構成としてもよい。この場合には、ブロックのサイズ未満の小容量のデータの書換における各ブロックの記憶容量の有効利用が可能になる。

【0058】また、上述の説明では、読出時には、最近に書換られたブロックを選択してアクセスする場合を例に探って説明したが、書換は1ブロックに対して行うが、読出時は、複数のブロックをアドレス空間に割り当てる機能を持たせるようにしてもよい。すなわち、メモリマット11は不揮発性であるため、現在のアクティブブロック以前に書換られたブロックの各々には、その時点での書換データが時系列に記憶されているので、書換動作の履歴を過去に逆上って、任意の時点での書換データを参照する構成としてもよい。たとえば、書き換えてしまったが、過去のデータに逆上ってアクセスする要求が生じる用途においてデータの更新履歴の管理を容易に実現できる。

【0059】また、上述の説明では、单一の半導体記憶装置10の内部のメモリマット11をブロックに分割して仕様する例を示したが、各ブロックとして、単体の不揮発性半導体メモリチップを使用する構成とすることもできる。

【0060】すなわち、図17に例示されるように、それ自体が単体のフラッシュメモリ等からなる複数の不揮発性半導体メモリチップ51と、各チップの書換の有無を判別するためのフラグビット52と、入出力配線等のI/Oインターフェース53と、フラグビット52の状態に基づいて不揮発性半導体メモリチップ51の選択を行うチップ選択論理54と、全体としての消去回数を計数する書換回数カウンタ55と、を備えた半導体記憶装置50としてもよい。

【0061】半導体記憶装置50は、これらの各構成要素を一つのパッケージ内に封止して、アドレス範囲が一つの不揮発性半導体メモリチップ51の容量分の、あたかも一つの半導体記憶装置として見せかけることが可能である。

【0062】そして、チップ選択論理54は、個々の不揮発性半導体メモリチップ51が本来備えているチップ

セレクト等のインターフェースを用いて、各不揮発性半導体メモリチップ51を順次選択して書換動作を行わせ、消去は、個々の不揮発性半導体メモリチップ51が本来備えている外部からの消去指示を受け付けるインターフェースを用いて、複数の不揮発性半導体メモリチップ51に一括して指示することで実行する。

【0063】また、フラグビット52や書換回数カウンタ55は、専用の不揮発性半導体メモリチップ51を割り当てて記憶させるようにしてもよい。

【0064】この図17の場合には、殆どの構成要素を、既存の不揮発性半導体メモリチップを用いて実現できるので、書換可能回数の大きな不揮発性半導体メモリを、安価に実現できる、という利点がある。

【0065】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0066】たとえば、半導体記憶装置の構成は、上述の実施の形態に例示したものに限定されない。

【0067】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0068】本発明の半導体記憶装置の制御方法によれば、既存の書換可能回数の小さな不揮発性の半導体記憶装置をそのまま用いて、困難を要する大幅な特性・プロセス改善を必要とすることなく、より多くの書換可能回数を実現することができる、という効果が得られる。

【0069】また、本発明の半導体記憶装置の制御方法によれば、書換可能回数の小さな不揮発性の半導体記憶媒体を用いて、低コストで、より大きな書換可能回数を実現することができる、という効果が得られる。

【0070】また、本発明の半導体記憶装置の制御方法によれば、記憶情報の履歴管理を容易に実現することができる、という効果が得られる。

【0071】また、本発明の半導体記憶装置の制御方法によれば、既存の書換可能回数の小さな不揮発性の半導体記憶装置を、要求される書換可能回数がより高い用途に転用して可用性を向上させることができる、という効果が得られる。

【0072】また、本発明の半導体記憶装置の制御方法によれば、小記憶容量で書換可能回数の大きな半導体記憶装置を、安価に実現することができる、という効果が得られる。

【0073】また、本発明の半導体記憶装置の制御方法によれば、書換可能回数の小さな不揮発性の半導体記憶装置を用いて、高い信頼性を維持しつつ書換可能回数の大きな半導体記憶装置を実現することができる、という効果が得られる。

【0074】また、本発明の半導体記憶装置の制御方法

によれば、不揮発性の半導体記憶装置が組み込まれる情報処理システムのコスト低減、さらには、信頼性および性能の向上を実現することができる、という効果が得られる。

【0075】本発明の半導体記憶装置によれば、既存の書換可能回数の小さな不揮発性の半導体記憶装置をそのまま用いて、困難を要する大幅な特性・プロセス改善を必要とすることなく、より多くの書換可能回数を実現することができる、という効果が得られる。

【0076】また、本発明の半導体記憶装置によれば、書換可能回数の小さな不揮発性の半導体記憶媒体を用いて、低コストで、より大きな書換数を実現することができる、という効果が得られる。

【0077】また、本発明の半導体記憶装置によれば、記憶情報の履歴管理を容易に実現することができる、という効果が得られる。

【0078】また、本発明の半導体記憶装置によれば、既存の書換可能回数の小さな不揮発性の半導体記憶装置を、要求される書換可能回数がより高い用途に転用して可用性を向上させることができます、という効果が得られる。

【0079】また、本発明の半導体記憶装置によれば、小記憶容量で書換可能回数の大きな半導体記憶装置を、安価に実現することができる、という効果が得られる。

【0080】また、本発明の半導体記憶装置によれば、書換可能回数の小さな不揮発性の半導体記憶装置を用いて、高い信頼性を維持しつつ書換可能回数の大きな半導体記憶装置を実現することができる、という効果が得られる。

【0081】また、本発明の半導体記憶装置によれば、不揮発性の半導体記憶装置が組み込まれる情報処理システムのコスト低減、さらには、信頼性および性能の向上を実現することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の構成の一例を示す概念図である。

【図2】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図3】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図4】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図5】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図6】本発明の一実施の形態である半導体記憶装置の

制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図7】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図8】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図9】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図10】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示す概念図である。

【図11】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の作用の一例を示すフローチャートである。

【図12】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の変形例を示す概念図である。

【図13】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の変形例を示す概念図である。

【図14】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の変形例を示す概念図である。

【図15】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の変形例を示す概念図である。

【図16】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の変形例を示す概

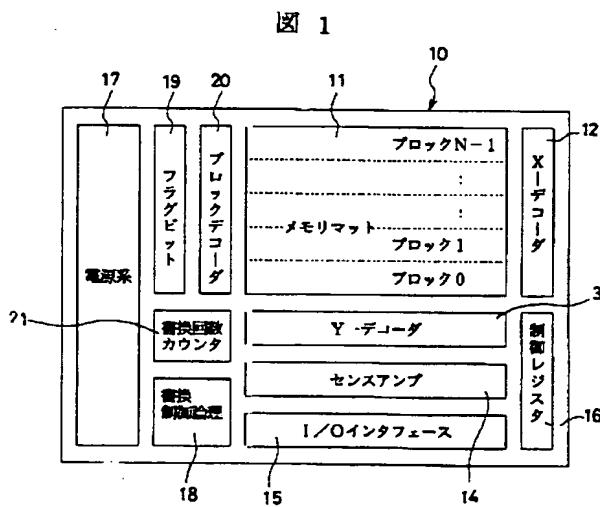
念図である。

【図17】本発明の一実施の形態である半導体記憶装置の制御方法を実施する半導体記憶装置の変形例を示す概念図である。

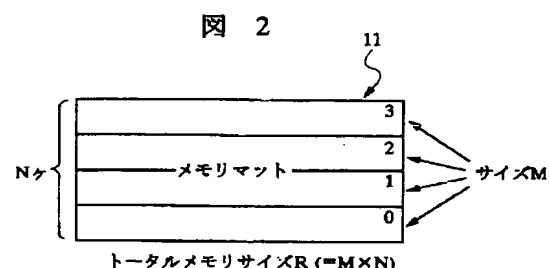
【符号の説明】

- 10 半導体記憶装置
- 11 メモリマット (半導体記憶媒体)
- 12 Xデコーダ
- 13 Yデコーダ
- 14 センスアンプ
- 15 I/Oインターフェース
- 16 制御レジスタ
- 17 電源系
- 18 書換制御論理 (制御論理)
- 18a ANDゲート
- 18b マットフル信号
- 19 フラグビット
- 20 ブロックデコーダ
- 21 書換回数カウンタ
- 22 書換制御論理
- 23 ANDゲート
- 24 読出時制御論理 (制御論理)
- 24a ANDゲート
- 24b インバータ
- 25 書換回数カウンタ
- 26 半導体記憶装置
- 27 不揮発性半導体メモリチップ
- 28 フラグビット
- 29 I/Oインターフェース
- 30 チップ選択論理
- 31 書換回数カウンタ

【図1】

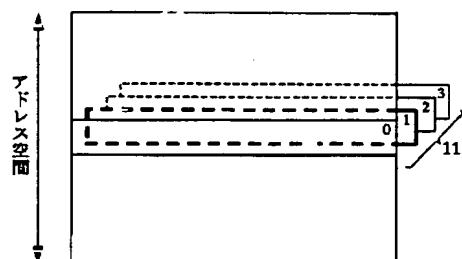


【図2】



【図3】

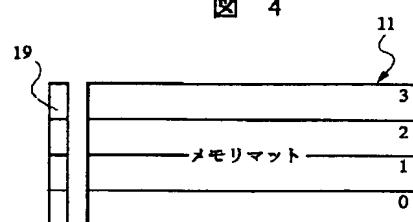
図 3



同一アドレス空間(太線はアクティブブロック)

【図4】

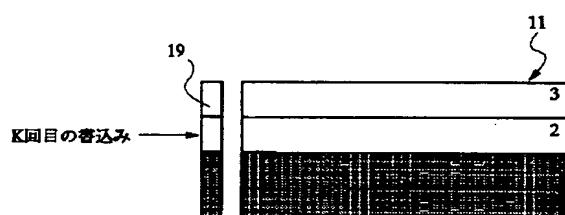
図 4



ブロック毎のフラグビット

【図5】

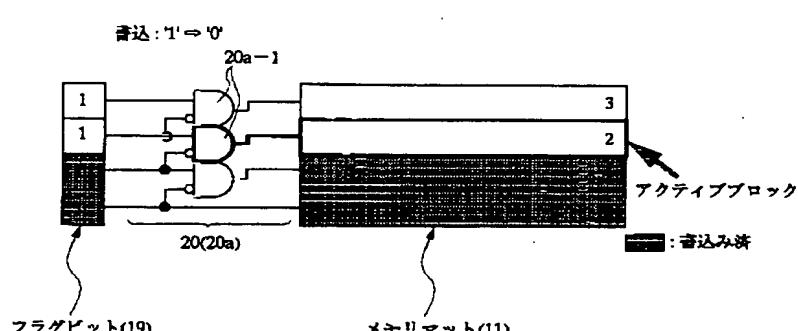
図 5



■: 書込み済

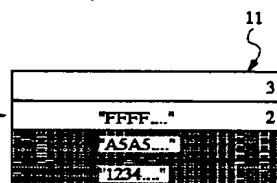
【図6】

図 6



【図12】

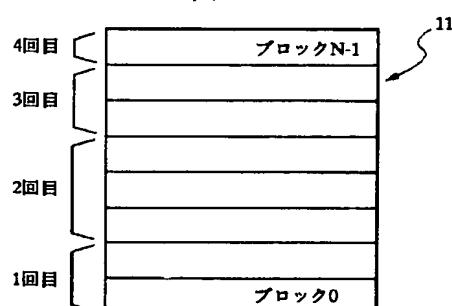
図 12



■: 書込み済

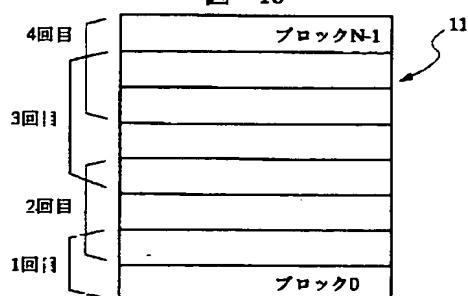
【図15】

図 15



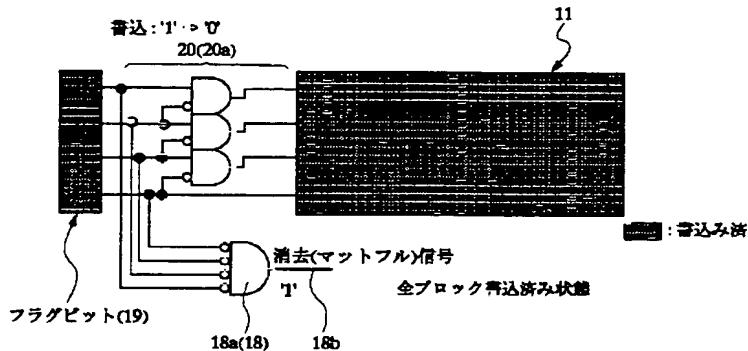
【図16】

図 16



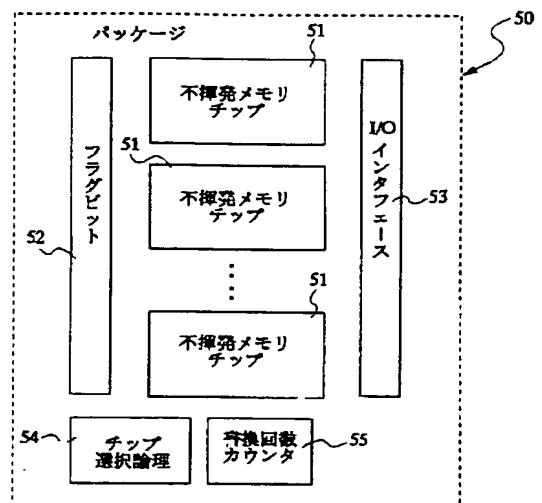
【図7】

図 7



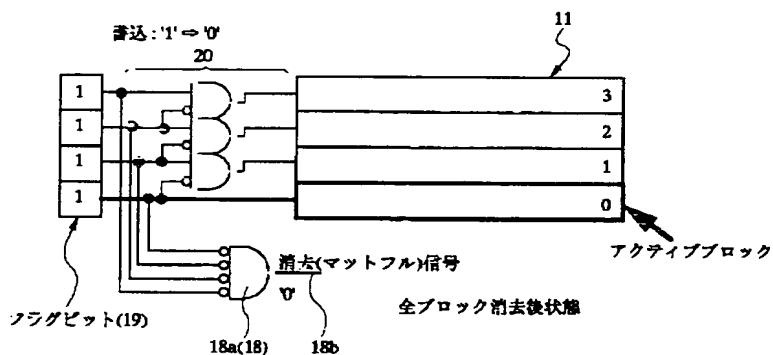
【図17】

図 17



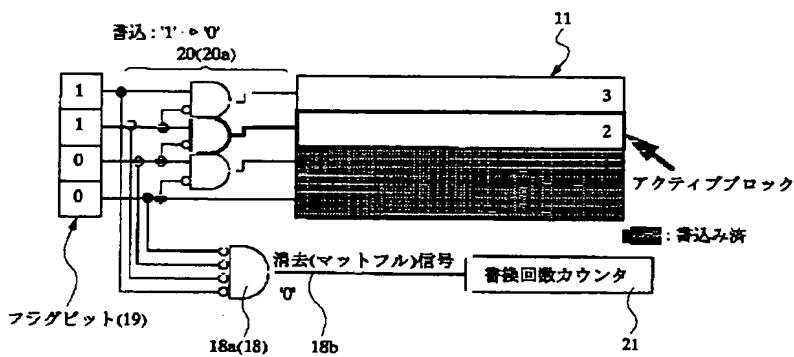
【図8】

図 8



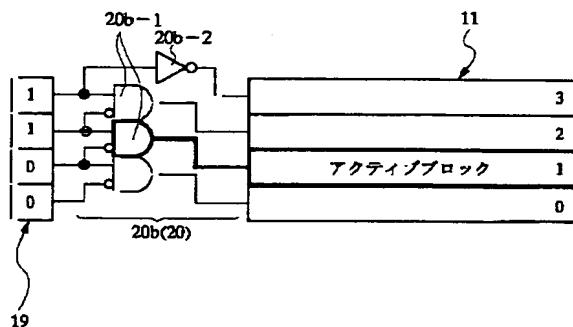
【図9】

図 9



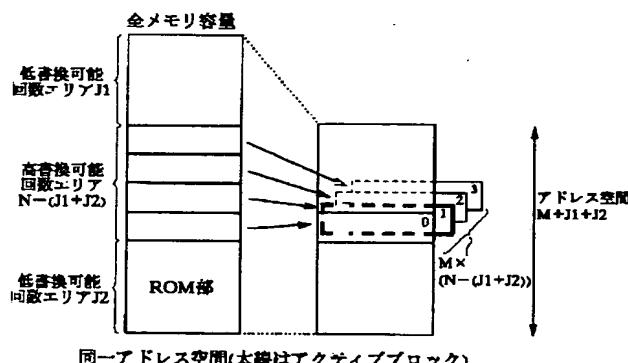
【図10】

図 10



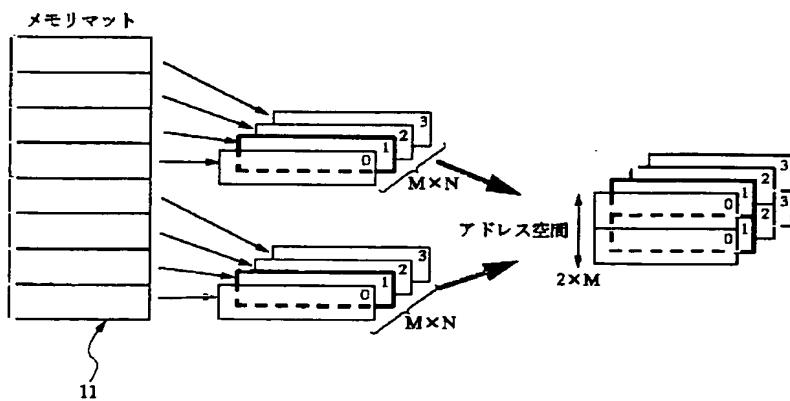
【図13】

図 13



【図14】

図 14



【図11】

図 11

